

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11111504 A**

(43) Date of publication of application: **23 . 04 . 99**

(51) Int. Cl

**H01C 7/00**

(21) Application number: **09272353**

(22) Date of filing: **06 . 10 . 97**

(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **SAKIDA HIROMI  
ISOZAKI KENZO  
FUKUOKA MICHIO**

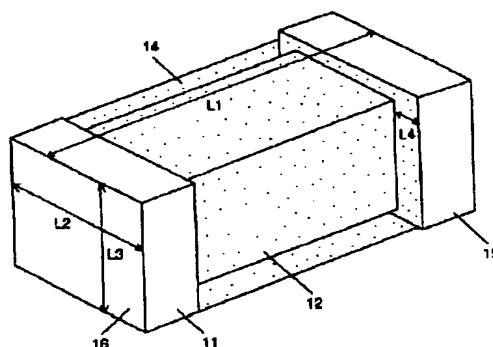
(54) **CHIP RESISTOR**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

**PROBLEM TO BE SOLVED:** To improve the packaging property by setting the electric resistance between terminal portions on both ends at a specified value or smaller, in a chip resistor in which a conductive film is formed on a base or the base itself is electrically conductive and has a protective material provided thereon.

**SOLUTION:** On a base 11 constituted by performing pressing, extrusion or the like of an insulating material, a conductive film 12 is formed by an evaporation method such as a plating method or a sputtering method. Then, a protective material 14 is applied on the conductive film 12 between a terminal portion 15 and a terminal portion 16 formed on both ends of the base 11. In this chip resistor, the electric resistance between the terminal portion 15 and the terminal portion 16 is set at 700 mΩ or less. Conditions such as thickness and material of the conductive film 12 must be selected so that the electric resistance is preferably 500 mΩ or less, and more preferably 100 mΩ or less. In the chip resistor thus constituted, the packaging efficiency and packaging speed to a circuit board can be improved.



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平11-111504

(43)公開日 平成11年(1999) 4月23日

(51)Int.Cl.<sup>6</sup>

H 0 1 C 7/00

識別記号

F I

H 0 1 C 7/00

B

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号 特願平9-272353

(22)出願日 平成9年(1997)10月6日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 崎田 広美

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 磯崎 賢蔵

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 福岡 道生

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

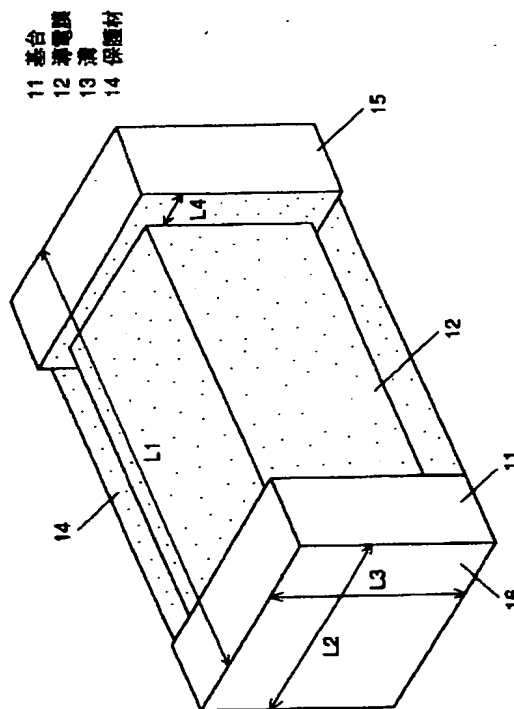
(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 チップ抵抗器

(57)【要約】

【課題】 本発明は、回路基板等への実装性を向上させ、回路基板の生産性を向上させることができるチップ抵抗器を提供することを目的としている。

【解決手段】 基台11の上に導電膜12を形成し、導電膜12の上に保護材14を形成したチップ抵抗器であって、端子部15、16間の電気抵抗を700mオーム以下とした。



## 【特許請求の範囲】

【請求項 1】絶縁性を有する基台と、前記基台の上に形成された導電膜と、前記導電膜を設けた前記基台上に両端の端子部をむき出しにするように設けられた保護材とを備えたチップ抵抗器であって、前記端子部間の電気抵抗が 700 m オーム以下となることを特徴とするチップ抵抗器。

【請求項 2】導電性を有する基台と、前記基台上に両端の端子部をむき出しにするように設けられた保護材とを備えたチップ抵抗器であって、前記端子部間の電気抵抗が 700 m オーム以下となることを特徴とするチップ抵抗器。

【請求項 3】端子部間の電気抵抗を 500 m オーム以下としたことを特徴とする請求項 1, 2 いずれか 1 記載のチップ抵抗器。

【請求項 4】端子部間の電気抵抗を 100 m オーム以下としたことを特徴とする請求項 1, 2 いずれか 1 記載のチップ抵抗器。

【請求項 5】基台の中央部を段落ちさせ、前記基台の両端部を端子部とし、前記中央部内に保護材を設けたことを特徴とする請求項 1～4 いずれか 1 記載のチップ抵抗器。

【請求項 6】基台の両端部の断面形状を四角形状としたことを特徴とする請求項 1～5 いずれか 1 記載のチップ抵抗器。

【請求項 7】長さ L1, 幅 L2, 高さ L3 としたときに、  
 $L1 = 0.5 \sim 2.7 \text{ mm}$  (好ましくは  $0.6 \sim 1.7 \text{ mm}$ )  
 $L2 = 0.2 \sim 2.2 \text{ mm}$  (好ましくは  $0.3 \sim 0.9 \text{ mm}$ )  
 $L3 = 0.2 \sim 2.2 \text{ mm}$  (好ましくは  $0.3 \sim 0.9 \text{ mm}$ )  
 としたことを特徴とする請求項 1～6 いずれか 1 記載のチップ抵抗器。

【請求項 8】基台の角部に面取りを施したことを特徴とする請求項 1～7 いずれか 1 記載のチップ抵抗器。

【請求項 9】基台の表面粗さは  $0.15 \sim 0.5 \mu\text{m}$  としたことを特徴とする請求項 1～8 いずれか 1 記載のチップ抵抗器。

【請求項 10】基台の全周に導電膜を設けたことを特徴とする請求項 1 記載のチップ抵抗器。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、TV, VTR 等の電子機器の回路基板等に用いられるチップ抵抗器に関するものである。

## 【0002】

【従来の技術】図 10 は従来のインダクタンス素子を示す側面図である。図 10 において、1 は中央部が両端か

ら段落ちした四角柱状の基台、2 は基台 1 の上に形成された導電膜、3 は導電膜 2 に設けられた溝、4 は導電膜 3 の上に積層された保護材である。

【0003】この様な電子部品は、溝 3 の間隔などを調整することによって、所定の特性に調整する。

【0004】回路基板には、抵抗器、インダクタンス素子などの複数種類のチップ部品を大量に実装装置などによって回路基板上に実装して構成されている。また、回路基板には、ランド間に抵抗器は接続しないものの、回路を構成するためにジャンパー線などを用いることが良く行われている。このジャンパー線の代わりに導電性を示し抵抗値が極めて小さいか零である通常零オーム抵抗器と呼ばれるチップ抵抗器が良く用いられている。

## 【0005】

【発明が解決しようとする課題】しかしながら前記従来の構成では、ジャンパー線は図 10 に示すインダクタンス素子等とは異質な形状となっているので、回路基板上に実装する場合に、インダクタンス素子を実装する実装装置とは別の実装装置などを用いて行わなければならないので、作業性が悪く生産性が向上しないという課題があった。

【0006】また、従来の零オーム抵抗器は、方向性が存在し、所定の方向や角度などで設置しなければならないという不具合が生じ、これも回路基板などを作製する上で生産性が向上しない課題となる。

【0007】本発明は、上記従来の課題を解決するもので、回路基板などの生産性が向上するチップ抵抗器を提供することを目的とする。

## 【0008】

【課題を解決するための手段】本発明は、基台に導電膜を形成するか、もしくは基台自体に導電性を持たせ、それら基台の上に保護材を設けるチップ抵抗器において、両端の端子部間の電気抵抗を 700 m オーム以下とした。

## 【0009】

【発明の実施の形態】請求項 1 記載の発明は、絶縁性を有する基台と、前記基台の上に形成された導電膜と、前記導電膜を設けた前記基台上に両端の端子部をむき出しにするように設けられた保護材とを備えたチップ抵抗器であって、前記端子部間の電気抵抗が 700 m オーム以下となることによって、ジャンパー線の様な他のチップ部品と著しく形状の異なる部品を用いずに、チップ部品と同様の形状のチップ抵抗器で零オーム抵抗器を作製できるので、実装性が向上し、回路基盤等の生産性を向上させることができる。

【0010】請求項 2 記載の発明は、導電性を有する基台と、前記基台上に両端の端子部をむき出しにするように設けられた保護材とを備えたチップ抵抗器であって、前記端子部間の電気抵抗が 700 m オーム以下となることによって、ジャンパー線の様な他のチップ部品と著し

く形状の異なる部品を用いずに、チップ部品と同様の形状のチップ抵抗器で零オーム抵抗器を作製できるので、実装性が向上し、回路基盤等の生産性を向上させることができ、更には、部品点数の削減ができ、しかも工程数も減らせるのでチップ抵抗器の生産性を大幅に向上させることができる。

【0011】請求項3記載の発明は、請求項1、2において、端子部間の電気抵抗を500mオーム以下としたことによって、零オーム抵抗器としての良好な特性を得ることができる。

【0012】請求項4記載の発明は、請求項1、2において、端子部間の電気抵抗を100mオーム以下としたことによって、0オーム抵抗器としては申し分の無い特性を得ることができる。

【0013】請求項5記載の発明は、請求項1～4において、基台の中央部を段落ちさせ、前記基台の両端部を端子部とし、前記中央部に保護材を設けたことによって、保護材を凹部に収納させる構成となるので、保護材が素子から大きく突出せず、部品の設置性を向上させることができる。

【0014】請求項6記載の発明は、請求項1～5において、基台の両端部の断面形状を四角形状としたことによって、方向性が存在しないので、どの様な設置でも均一な特性を得ることができる。

【0015】請求項7記載の発明は請求項1～6において、長さL1、幅L2、高さL3としたときに、  
L1=0.5～2.7mm(好ましくは0.6～1.7mm)  
L2=0.2～2.2mm(好ましくは0.3～0.9mm)  
L3=0.2～2.2mm(好ましくは0.3～0.9mm)

としたことによって、実装密度を向上させることができ、しかも実装の際に素子折れなどが発生しないような機械的強度を得ることができる。

【0016】請求項8記載の発明は、請求項1～7において基台の角部に面取りを施したことによって、基台の欠け等の発生を抑え、特性の劣化を防止できる。また、基台上に導電膜を構成するタイプのチップ抵抗器においては、良好な膜質の導電膜を形成できるので、導電性が低くなることはない。

【0017】請求項9記載の発明は、請求項1～8において、基台の表面粗さは0.15～0.5μmとしたことによって、導電膜または保護材との密着性等を向上させることができる。

【0018】請求項10記載の発明は、請求項1において、基台の全周に導電膜を設けたことによって、一部の導電膜にダメージ(剥がれ等)が発生しても、十分に所定の導電性を保つことができる。

【0019】以下、本発明におけるチップ抵抗器の実施

の形態について説明する。図1、図2はそれぞれ本発明の一実施の形態におけるチップ抵抗器を示す斜視図及び側面図である。

【0020】図1において、11は絶縁材料などをプレス加工、押し出し法等を施して構成されている基台、12は基台11の上に設けられている導電膜で、導電膜12は、メッキ法やスパッタリング法等の蒸着法等によって基台11上に形成される。14は導電膜12上に塗布された保護材、15、16はそれぞれ端子電極が形成された端子部で、端子部15と端子部16の間には、保護材14が設けられている。なお、図2は、保護材14の一部を取り除いた図である。

【0021】本実施の形態のチップ抵抗器においては、端子部15と端子部16間の電気抵抗が700mオーム以下となるように設定されており、好ましくは500mオーム以下、更に好ましくは100mオーム以下となるように、導電膜12の厚みや材料等の条件を選択することが必要である。この様に端子部15と端子部16との間の電気抵抗が700mオーム以下としなければ、零オーム抵抗器として十分な特性を得ることはできない。

【0022】また、本実施の形態のチップ抵抗器は、チップ抵抗器の長さL1、幅L2、高さL3は以下の通りとなっていることが好ましい。

【0023】

L1=0.5～2.7mm(好ましくは0.6～1.7mm)

L2=0.2～2.2mm(好ましくは0.3～0.9mm)

L3=0.2～2.2mm(好ましくは0.3～0.9mm)

L1が0.5mm以下であると、取り扱いが難しくなり生産性が低下する可能性がある。また、L1が2.7mmを超えてしまうと、素子自体が大きくなってしまい、電子回路等が形成された基板などの回路基板等の小型化ができず、ひいてはその回路基板等を搭載した電子機器等の小型化を行うことができない。また、L2、L3それぞれが0.2mm以下であると、素子自体の機械的強度が弱くなりすぎてしまい、実装装置などで、回路基板等に実装する場合に、素子折れ等が発生することがある。また、L2、L3が2.2mm以上となると、素子が大きくなりすぎて、回路基板等の小型化、ひいては装置の小型化を行うことができない。なお、L4(段落ちの深さ)は5μm～50μm程度が好ましく、5μm以下であれば、保護材14の厚さ等を薄くしなければならず、良好な保護特性等を得ることができない。また、L4が50μmを超えると基台の機械的強度が弱くなり、やはり素子折れ等が発生することがある。

【0024】なお、本実施の形態で表現されるチップ抵抗器は、極めて低抵抗であるか、もしくは抵抗が零であるものであり、ジャンパー線の代わりとなるものであ

る。

【0025】以上の様に構成されたチップ抵抗器について、以下各部の詳細な説明をする。図3は本発明の一実施の形態におけるチップ抵抗器に用いられる導電膜を形成した基台の断面図、図4(a)(b)はそれぞれ基台の側面図及び底面図である。

【0026】まず、基台11の形状について説明する。基台11は、図3及び図4に示す様に、回路基板等へ実装しやすいように断面が四角形状の中央部11aと中央部11aの両端に一体に設けられ、しかも断面が四角形状の端部11b、11cによって構成されている。なお、端部11b、11c及び中央部11aは断面四角形状としたが、五角形状や六角形状などの多角形状でも良い。中央部11aは端部11b、11cから段落ちした構成となっている。本実施の形態では、端部11b、11cの断面形状を略正四角状とすることによって、回路基板等へのチップ抵抗器を装着性を良好にした。また、本実施の形態では、どのように回路基板等へ実装しても方向性が無いために、取り扱いが容易になる。また、中央部11aには素子部(保護材14)が形成されることとなり、端部11b、11cには端子部15、16が形成される。

【0027】なお、本実施の形態では、中央部11a及び端部11b、11cをともに略正四角形状としたが、正五角形状等の正多角形状にしてもよい。さらに、本実施の形態では、中央部11aと端部11c、11bそれぞれの断面形状を正四角形というように同一にしたが、異なっても良い。すなわち、端部11b、11cの断面形状を正多角形状とし、中央部11aの断面形状を他の多角形状としたり、円形状としても良い。この様に中央部11aを断面円形状にすることによって、導電膜12の膜質を向上させることができ、良好な低抵抗のチップ部品を提供することができる。

【0028】さらに、本実施の形態では、中央部11aを端部11b、11cより段落ちさせることによって、保護材14を塗布した際に、その保護材14と回路基板等が接触することなどを防止していたが、特に保護材14の厚みや実装される回路基板等の状況(回路基板等の電極部が盛り上がっている等)によって、中央部11aを段落ちさせなくてもよい。中央部11aを端部11b、11cから段落ちさせないと、基台11の構造が簡単になり、生産性が向上し、さらに中央部11aの機械的強度も向上する。この様に段落ちさせない場合でも、断面四角形状の四角柱形状としてもよいし、さらに断面を多角形状とする角柱とすることもできる。

【0029】また、図4(a)に示す様に基台11の端部の高さZ1及びZ2は下記の条件を満たすことが好ましい。

【0030】 $|Z1 - Z2| \leq 80 \mu m$  (好ましくは  $50 \mu m$ )

Z1とZ2の高さの違いが  $80 \mu m$  (好ましくは  $50 \mu m$  以下)を超えると、素子を基板に実装し、半田等で回路基板等に取り付ける場合、半田等の表面張力によって素子が一方の端部に引っ張られて、素子が立ってしまうというマンハッタン現象の発生する確率が非常に高くなる。このマンハッタン現象を図5に示す。図5に示すように、基板200の上にチップ抵抗器を配置し、端子部15、16それぞれと基板200の間に半田201、202が設けられているが、リフローなどによって半田201、202を溶かすと、半田201、202のそれぞれの塗布量の違いや、材質が異なることによる融点の違いによって、溶融した半田201、202の表面張力が端子部15と端子部16で異なり、その結果、図5に示すように一方の端子部(図5の場合は端子部15)を中心に回転し、チップ抵抗器が立ち上がってしまう。Z1とZ2の高さの違いが  $80 \mu m$  (好ましくは  $50 \mu m$  以下)を超えると、素子が傾いた状態で基板200に配置されることとなり、素子立ちを促進する。また、マンハッタン現象は特に小型軽量のチップ型の電子部品(チップ型チップ抵抗器を含む)において顕著に発生し、しかもこのマンハッタン現象の発生要因の一つとして、端子部15、16の高さの違いによって素子が傾いて基板200に配置されることを着目した。この結果、Z1とZ2の高さの差を  $80 \mu m$  以下(好ましくは  $50 \mu m$  以下)となるように、基台11を成形などで加工することによって、このマンハッタン現象の発生を大幅に抑えることができた。Z1とZ2の高さの差を  $50 \mu m$  以下とすることによって、ほぼ、マンハッタン現象の発生を抑えることができる。

【0031】次に基台11の面取りについて説明する。図6は本発明の一実施の形態におけるチップ抵抗器に用いられる基台の斜視図である。図6に示されるように、基台11の端部11b、11cそれぞれの角部11e、11dには面取りが施されており、その面取りした角部11e、11dのそれぞれの曲率半径R1及び中央部11aの角部11fの曲率半径R2は以下の通りに形成されることが好ましい。

【0032】 $0.03 < R1 < 0.15$  (mm)  
 $0.01 < R2$  (mm)

R1が  $0.03$  mm以下であると、角部11e、11dが尖った形状となっているので、ちょっとした衝撃などによって角部11e、11dに欠けなどが生じることがあり、その欠けによって、特性の劣化等が発生したりする。また、R1が  $0.15$  mm以上であると、角部11e、11dが丸くなりすぎて、前述のマンハッタン現象を起こしやすくなり、不具合が生じる。更にR2が  $0.01$  mm以下であると、角部11fにバリなどが発生しやすく、中央部11a上に形成され、しかも素子の特性を大きく左右する導電膜12の厚みが角部11fと平坦な部分で大きく異なることがあり、素子特性のばらつき

が大きくなる。

【0033】次に基台11の構成材料について説明する。基台11の構成材料として下記の特性を満足しておくことが好ましい。

【0034】熱膨張係数： $5 \times 10^{-4}$ 以下（好ましくは $2 \times 10^{-5}$ 以下）〔20℃～500℃における熱膨張係数〕

曲げ強度： $1300 \text{ kg/cm}^2$ 以上（好ましくは $2000 \text{ kg/cm}^2$ 以上）

密度： $2 \sim 5 \text{ g/cm}^3$ （好ましくは $3 \sim 4 \text{ g/cm}^3$ ）

基台11の構成材料が体積固有抵抗が $10^{13}$ 以下であると、導電膜12とともに基台11にも所定に電流が流れ始めるので、並列回路が形成された状態となり、自己共振周波数 $f_0$ 及びQ値が低くなってしまい、高周波用の素子としては不向きである。

【0035】また熱膨張係数が $5 \times 10^{-4}$ 以上であると、基台11にヒートショック等でクラックなどが入ることがある。すなわち熱膨張係数が $5 \times 10^{-4}$ 以上であると、基台11にクラックなどが生じることあるが、上述の様な熱膨張係数を有することによって、大幅にクラック等の発生を抑制できる。

【0036】曲げ強度が $1300 \text{ kg/cm}^2$ 以下であると、実装装置で回路基板等に実装する際に素子折れ等が発生することがある。

【0037】密度が $2 \text{ g/cm}^3$ 以下であると、基台11の吸水率が高くなり、基台11の特性が著しく劣化し、素子としての特性が悪くなる。また密度が $5 \text{ g/cm}^3$ 以上になると、基台11の重量が重くなり、実装性に問題が発生する。特に密度を上記範囲内に設定すると、吸水率も小さく基台11への水の進入もほとんどなく、しかも重量も軽くなり、チップマウントなどで基板に実装する際にも問題は発生しない。

【0038】この様に基台11の熱膨張係数、曲げ強度、密度を規定することによって、ヒートショック等で基台11にクラック等が発生することを抑制できるので、不良率を低減することができ、更には、機械的強度を向上させることができるので、実装装置などを用いて回路基板等に実装でき、生産性が向上する等の優れた効果を得ることができる。

【0039】上記の諸特性を得る材料としては、アルミナを主成分とするセラミック材料が挙げられる。しかしながら、単にアルミナを主成分とするセラミック材料を用いても上記諸特性を得ることはできない。すなわち、上記諸特性は、基台11を作製する際のプレス圧力や焼成温度及び添加物によって異なるので、作製条件などを適宜調整しなければならない。具体的な作製条件として、基台11の加工時のプレス圧力を $2 \sim 5 \text{ t}$ 、焼成温度を $1500 \sim 1600^\circ\text{C}$ 、焼成時間 $1 \sim 3$ 時間等の条件が挙げられる。また、アルミナ材料の具体的な材料としては、 $\text{Al}_2\text{O}_3$ が92重量%以上、 $\text{SiO}_2$ が6重量

%以下、 $\text{MgO}$ が1.5重量%以下、 $\text{Fe}_2\text{O}_3$ が0.1%以下、 $\text{Na}_2\text{O}$ が0.3重量%以下等が挙げられる。

【0040】次に基台11の表面粗さについて説明する。なお、以下の説明で出てくる表面粗さとは、全て中心線平均粗さを意味するものであり、導電膜12の説明等に出てくる粗さも中心線平均粗さである。

【0041】基台11の表面粗さは $0.15 \sim 0.5 \mu\text{m}$ 程度、好ましくは $0.2 \sim 0.3 \mu\text{m}$ 程度がよい。図7は本発明の一実施の形態におけるチップ抵抗器に用いられる基台11の表面粗さと剥がれ発生率を示したグラフである。図7は下記に示すような実験の結果である。基台11及び導電膜12はそれぞれアルミナ、銅で構成し、基台11の表面粗さをいろいろ変えたサンプルを作製し、その各サンプルの上に同じ条件で導電膜12を形成した。それぞれのサンプルに超音波洗浄を行い、その後に導電膜12の表面を観察して、導電膜12の剥がれの有無を測定した。基台11の表面粗さは、表面粗さ測定器（東京精密サーフコム社製 574A）を用いて、先端Rが $5 \mu\text{m}$ のものをを用いた。この結果から判るように平均表面粗さが $0.15 \mu\text{m}$ 以下であると、基台11の上に形成された導電膜12の剥がれの発生率が5%程度であり、良好な基台11と導電膜12の接合強度を得ることができる。更に、表面粗さが $0.2 \mu\text{m}$ 以上であれば導電膜12の剥がれがほとんど発生していないので、できれば、基台11の表面粗さは $0.2 \mu\text{m}$ 以上が好ましい。導電膜12の剥がれは、素子の特性劣化の大きな要因となるので、歩留まり等の面から発生率は5%以下が好ましい。

【0042】また、基台11の表面粗さが $0.5 \mu\text{m}$ 以上であると、基台11上に形成される導電膜12の膜質が悪くなり、抵抗値が上昇することになる。

【0043】以上の様に、導電膜12と基台11との密着強度及び導電膜12の膜質の双方の結果から判断すると、基台11の表面粗さは、 $0.15 \mu\text{m} \sim 0.5 \mu\text{m}$ が好ましく、さらに好ましくは $0.2 \sim 0.3 \mu\text{m}$ が良い。

【0044】なお、本実施の形態では、導電膜12と基台11の接合強度を基台11の表面粗さを調整することによって、向上させたが、例えば、基台11と導電膜12の間にCr単体またはCrと他の金属の合金の少なくとも一方で構成された中間層を設けることによって、表面粗さを調整せずとも導電膜12と基台11の密着強度を向上させることができる。もちろん基台11の表面粗さを調整し、その上その基台11の上に中間層及び導電膜12を積層する場合では、より強力な導電膜12と基台11の密着強度を得ることができる。

【0045】次に導電膜12について説明する。導電膜12の構成材料としては、銅、銀、金、ニッケルなどの導電材料が挙げられる。この銅、銀、金、ニッケル等の材料には、耐候性等を向上させるために所定の元素（パラ

ジウム、チタン、白金等の少なくとも1つ)を添加してもよい。また、導電材料と非金属材料等の合金を用いてもよい。構成材料としてコスト面や耐食性の面及び作り易さの面から銅及びその合金がよく用いられる。導電膜12の材料として、銅等を用いる場合には、まず、基台11上に無電解メッキによって下地膜を形成し、その下地膜の上に電解メッキにて所定の銅膜を形成して導電膜12が形成される。更に、合金等で導電膜12を形成する場合には、スパッタリング法や蒸着法で構成することが好ましい。また、構成材料に銅及びその合金を用いた場合導電膜12の形成厚みは1 $\mu$ m以上が好ましい。厚みが1 $\mu$ mより薄いと、導電膜12の抵抗が大きくなり零オーム抵抗器としての所定の特性を得ることができにくい。また、コスト面や生産性を考えた場合には、導電膜12の膜厚は30 $\mu$ m以下とすることが好ましい。

【0046】導電膜12は単層で構成してもよいが、多層構造としてもよい。すなわち、構成材料の異なる導電膜を複数積層して構成しても良い。例えば、基台11の上に先ず銅膜を形成し、その上に耐候性の良い金属膜(ニッケル等)を積層する事によって、やや耐候性に問題がある銅の腐食を防止することができる。

【0047】導電膜12の形成方法としては、メッキ法(電解メッキ法や無電解メッキ法など)、スパッタリング法、蒸着法等が挙げられる。この形成方法の中でも、量産性がよく、しかも膜厚のばらつきが小さなメッキ法がよく用いられる。

【0048】導電膜12の表面粗さは1 $\mu$ m以下が好ましく、更に好ましくは0.2 $\mu$ m以下が好ましい。導電膜12の表面粗さが1 $\mu$ mを超えると、表皮効果によって導電率が低下する。

【0049】以上の様に導電膜12の表面粗さは、1.0 $\mu$ m以下が良く、更に好ましくは、0.2 $\mu$ m以下とすることによって、導電膜12の表皮効果を低減させることができ、導電率を向上させる事ができる。

【0050】更に導電膜12と基台11の密着強度は、導電膜12を形成した基台11を400℃の温度下に数秒間放置した後に基台11から導電膜12がはがれない程度以上であることが好ましい。素子を基板等に実装した際に、素子には自己発熱や他の部材からの熱が加わることによって、素子に200℃以上の温度が加わることがある。従って、400℃で基台11からの導電膜12のはがれが発生しない程度の密着強度であれば、たとえ素子に熱が加わっても、素子の特性劣化等は発生しない。

【0051】次に保護材14について説明する。保護材14としては、耐候性に優れ、絶縁性を示す有機材料、例えばエポキシ樹脂などの絶縁性を示す材料が用いられる。

【0052】また、保護材14は、図8に示すように厚さがZ1が5 $\mu$ m以上となるように塗布することが好ま

しい。Z1が5 $\mu$ mより小さいと特性劣化や放電などが発生し易くなり素子の特性が大幅に劣化することが考えられる。

【0053】次に端子部15、16について説明する。端子部15、16は、導電膜12のみでも十分に機能するが、様々な環境条件等に順応させるために、多層構造とすることが好ましい。

【0054】図9は本発明の一実施の形態におけるチップ抵抗器の端子部15の断面図である。図9において、基台11の端子部11bの上に導電膜12が形成されており、しかも導電膜12の上には耐候性を有するニッケル、チタン等の材料で構成される保護層300が形成されており、更に保護層300の上には半田等で構成された接合層301が形成されている。保護層300は接合層と導電膜12の接合強度を向上させるとともに、導電膜の耐候性を向上させることができる。本実施の形態では、保護層300の構成材料として、ニッケルかニッケル合金の少なくとも一方とし、接合層301の構成材料としては半田を用いた。保護層300(ニッケル)の厚みは2~7 $\mu$ mが好ましく、2 $\mu$ mを下回ると耐候性が悪くなり、7 $\mu$ mを上回ると保護層300(ニッケル)自体の電気抵抗が高くなり、素子特性が大きく劣化する。また、接合層301(半田)の厚みは5 $\mu$ m~10 $\mu$ m程度が好ましく、5 $\mu$ mを下回ると半田食われ現象が発生して素子と回路基板等との良好な接合が期待できず、10 $\mu$ mを上回るとマンハッタン現象が発生し易くなり、実装性が非常に悪くなる。

【0055】以上の様に構成されたチップ抵抗器は、特性劣化が無く、しかも、実装性及び生産性が非常によい。

【0056】以上の様に構成されたチップ抵抗器について、以下その製造方法について説明する。

【0057】まず、アルミナ等の絶縁材料をプレス成形や押し出し法によって、基台11を作製する。次にその基台11全体にメッキ法やスパッタリング法などによって導電膜12を形成し、その後に保護材14を塗布し、乾燥させる。

【0058】この時点でも、製品は完成するが、特に端子部15、16にニッケル層や半田層を積層して、耐候性や接合性を向上させることもある。ニッケル層や半田層は、メッキ法等によって保護材14を形成した後に形成する。

【0059】以上の様に構成されたチップ抵抗器は、従来の様なジャンパー線の構造とは異なり、チップ部品としてのインダクタンス素子と同じ様な構成とすることができるので、回路基板上にチップ抵抗器を実装する場合に、実装効率や実装速度を大幅に向上させることができる。

【0060】また、両端を四角形状とすることによって、チップ抵抗器を回路基板上に実装する場合に、設置



11

の方向性を考慮しなくても良いので、部品の実装の際の取り扱いが容易になり、実装効率や実装速度及び実装精度などを大幅に向上させることができる。

【0061】更に、基台11全周に渡って導電膜12を設けているので、例え、一部の導電膜12に剥がれ等が発生した場合でも、十分に両端子部15、16間の電気抵抗を700mオーム以下（好ましくは500mオーム以下、更に好ましくは100mオーム以下）とすることができる。

【0062】なお、本実施の形態では、絶縁性を有する材料で構成された基台11上に導電膜12を形成することによって、所定の導電率あるいは抵抗無し〔両端子部15、16間の電気抵抗を700mオーム以下（好ましくは500mオーム以下、更に好ましくは100mオーム以下）〕のチップ抵抗器を作製したが、以下の通りの構成にしても良い。

【0063】すなわち基台11の形状寸法などは図1等々に示されるものとし、基台11自体の構成材料を導電性材料（銅、銀、鉄、アルミニウム、錫、鉛、半田等の導電材料の少なくとも1つ）とする構成である。この様な構成にすることで、導電膜12を形成する工程を省くことができ、生産性が大幅に向上する。また、基台11を構成する導電材料として、鉄などの耐候性の悪いものには、外部表面に耐候性の大きなニッケル等で保護膜を形成することが好ましい。なお、この様な第2の実施の形態においても、保護材14を設けることによって、他のチップ部品と同じ構成とすることができるので、実装面などで有利になる。

【0064】

【発明の効果】本発明は、基台に導電膜を形成するか、もしくは基台自体に導電性を持たせ、それら基台の上に

12

保護材を設けるチップ抵抗器において、両端の端子部間の電気抵抗を700mオーム以下としたことによって、回路基板等への実装性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態におけるチップ抵抗器を示す斜視図

【図2】本発明の一実施の形態におけるチップ抵抗器を示す側面図

【図3】本発明の一実施の形態におけるチップ抵抗器に用いられる導電膜を形成した基台の断面図

【図4】本発明の一実施の形態におけるチップ抵抗器に用いられる基台を示す図

【図5】マンハッタン現象を示す側面図

【図6】本発明の一実施の形態におけるチップ抵抗器に用いられる基台の斜視図

【図7】本発明の一実施の形態におけるチップ抵抗器に用いられる基台の表面粗さと剥がれ発生率を示したグラフ

【図8】本発明の一実施の形態におけるチップ抵抗器の保護材を設けた部分の側面図

【図9】本発明の一実施の形態におけるチップ抵抗器の端子部の断面図

【図10】従来のインダクタンス素子を示す側面図

【符号の説明】

11 基台

11a 中央部

11b, 11c 端部

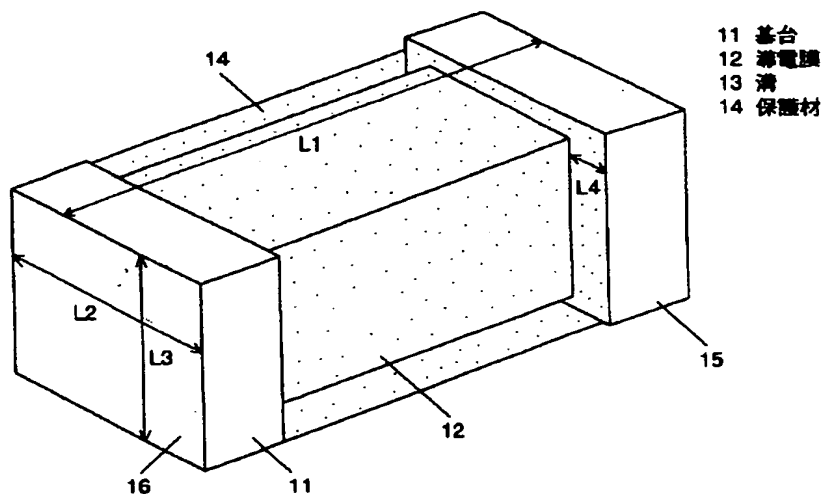
11d, 11e, 11f 角部

12 導電膜

14 保護材

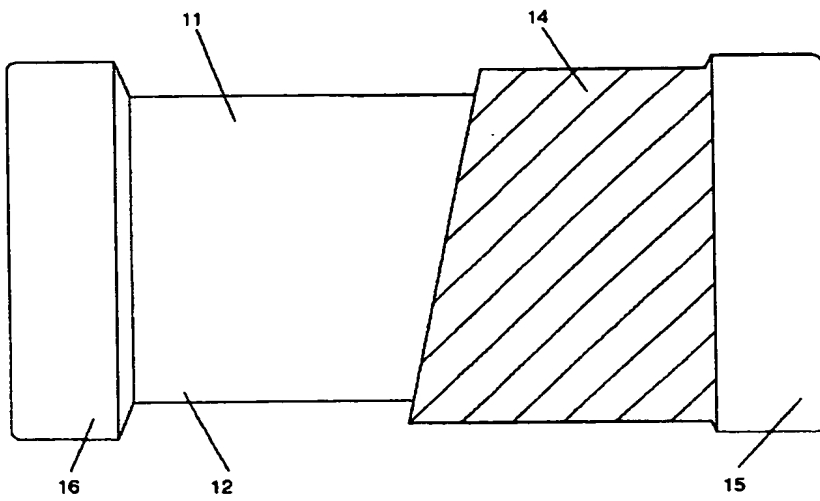
15, 16 端子部

【図1】

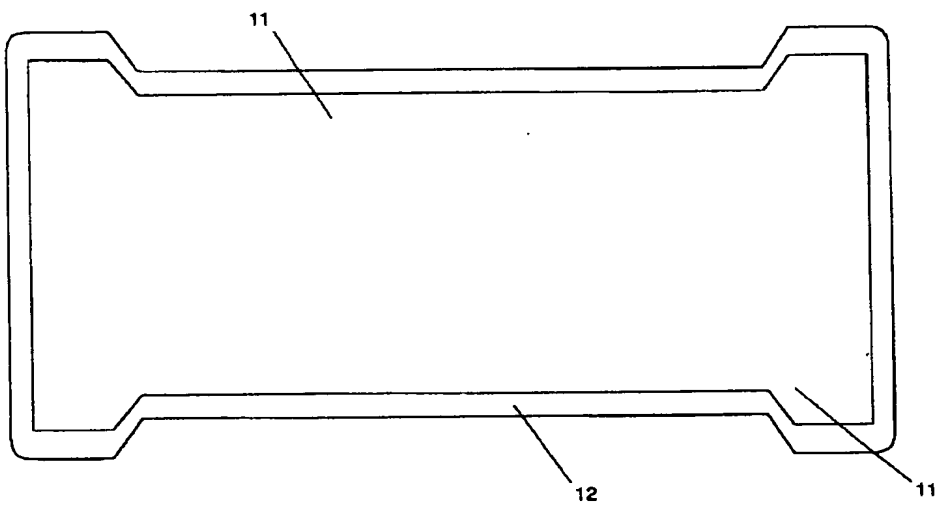


11 基台  
12 導電膜  
13 溝  
14 保護材

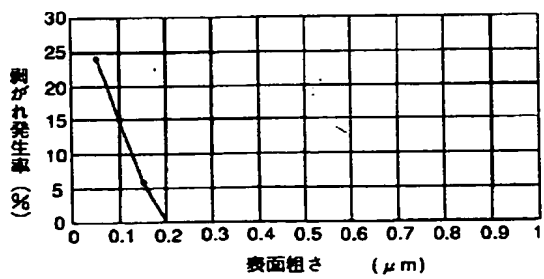
【図2】



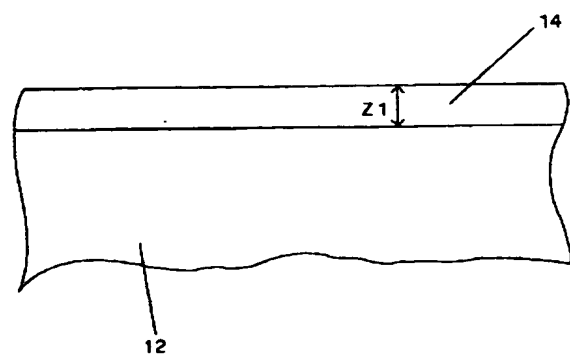
【図3】



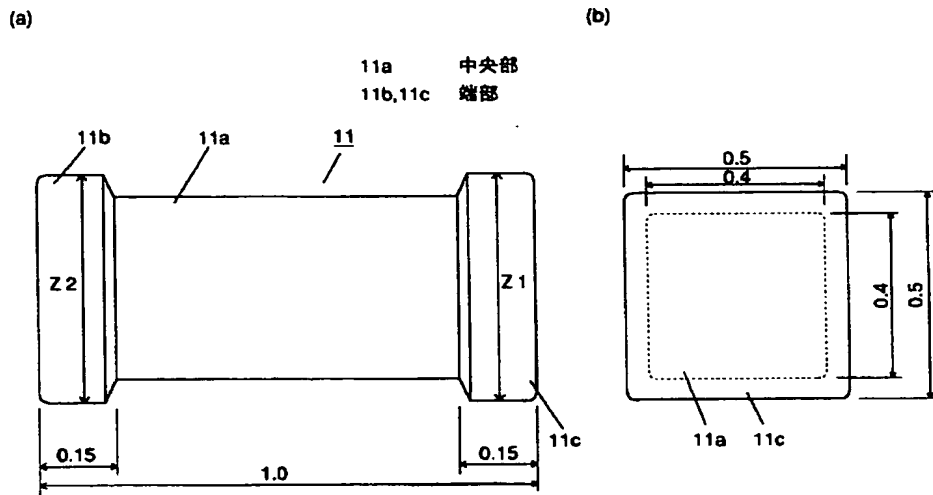
【図7】



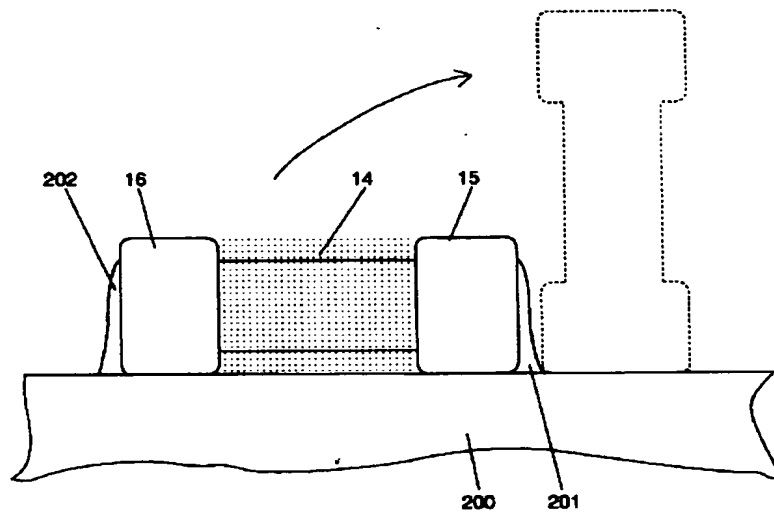
【図8】



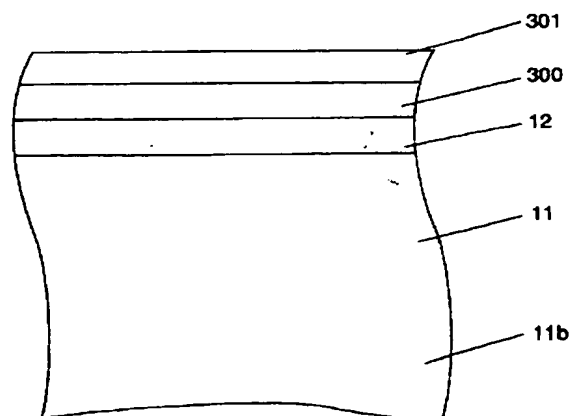
【図 4】



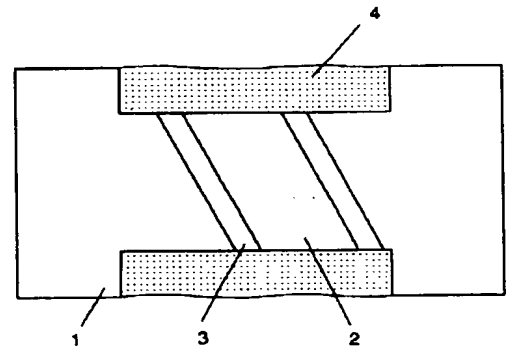
【図 5】



【図 9】



【図 10】



【図 6】

